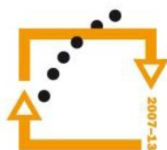




MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



**OP Vzdělávání  
pro konkurenceschopnost**

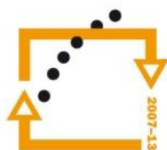
INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Inovace bakalářského studijního oboru Aplikovaná chemie

**Reg. č.: CZ.1.07/2.2.00/15.0247**



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

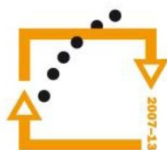
# APLIKACE POČÍTAČŮ V MĚŘÍCÍCH SYSTÉMECH PRO CHEMIKY *s využitím LabView*



Logické stavy, číselné systémy, typy  
logických obvodů, fuzzy logika, digitální  
technika



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



**OP Vzdělávání  
pro konkurenceschopnost**

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Logické stavy

V číslicové technice se pracuje s číslicovými signály, u kterých je informace (v dvojkové soustavě) přiřazena dvěma vzájemně odlišným hodnotám napětí, nebo lépe dílčím rozsahem hodnot.

Jednotkou informace je zde jeden bit.



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Logické členy (hradla)

Číslicové signály jsou zpracovány logickými obvody, které vzniknou vzájemným propojením jednotlivých členů (hradel). Logické členy realizují základní logické funkce - logický součet, součin a negaci.

- V číslicových obvodech jsou součástky používány ve spínacím režimu. To umožňuje abstrahovat od jejich analogové povahy a pracovat s nimi jakoby byly diskrétní a zpracovávaly pouze číslicovou informaci.
- Logické obvody lze realizovat nejen elektronicky, ale též na elektromechanickém, čistě mechanickém, optickém nebo jiném principu. Proti převažující elektronice mají ale dnes tyto realizace zanedbatelný význam.



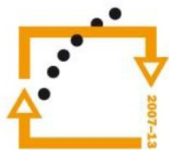
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

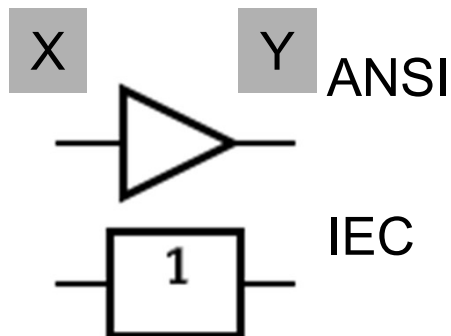
INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Opakovač (repeater)

Funkce: *identita*

Může fungovat i jako buffer - zpožďovací člen.

$$Y = X$$



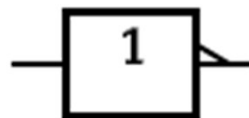
X	Y
0	0
1	1

# Invertor

Funkce: **Inverze**

$$Y = \overline{X}$$

X      Y



X	Y
0	1
1	0



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## AND

Funkce: logický součin (konjunkce)

$$Y = X1 \bullet X2$$



pravda, právě když obě  
vstupní hodnoty jsou pravda

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1



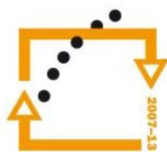
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



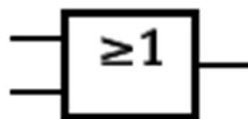
OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

OR

Funkce: logický součet (disjunkce)

$$Y = X1 + X2$$



pravda, když je alespoň  
jedna vstupní hodnota  
pravda

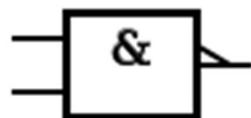
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



## NAND - Shefferova funkce

Funkce: negovaný logický součin

$$Y = \overline{X1 \cdot X2}$$



X1	X2	Y
0	0	1
0	1	1
1	0	0
1	1	0



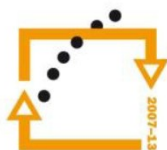
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



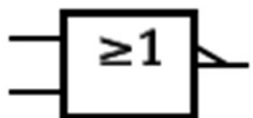
OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## NOR – Pierceova funkce

Funkce: negovaný logický součet

$$Y = \overline{X1 + X2}$$



X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0



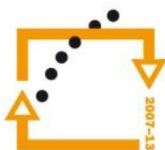
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



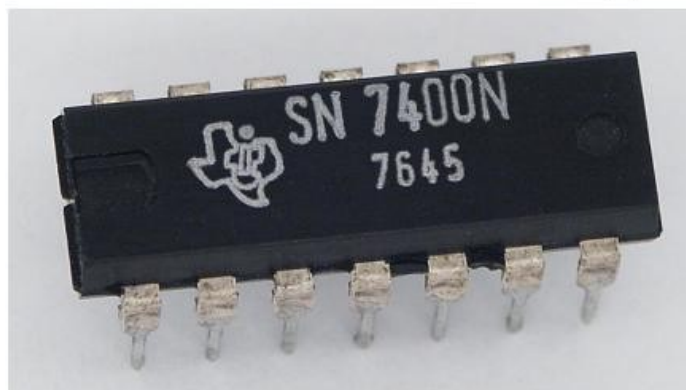
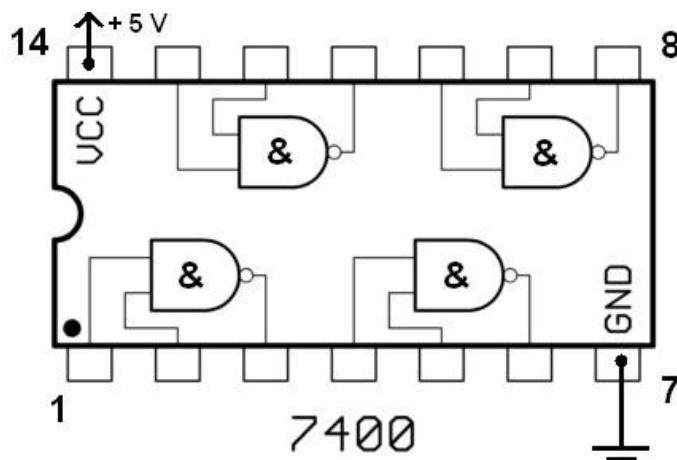
MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

Pomocí základních logických členů AND, OR a NOT lze realizovat libovolný logický obvod a tedy i číslicový systém. Lze ukázat, že funkce AND a OR jsou za pomoci funkce NOT komplementární, což znamená, že je lze vhodným způsobem vzájemně nahradit. Lze implementovat jakýkoli číslicový systém např. pouze za pomoci log. členů AND a NOT, či OR a NOT.





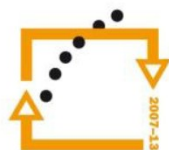
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

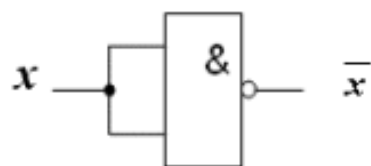


OP Vzdělávání  
pro konkurenceschopnost

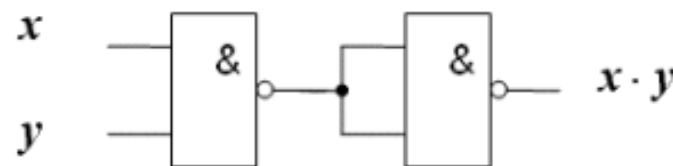
INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Realizace operátorů *NOT*, *AND* a *OR* pomocí *NAND*

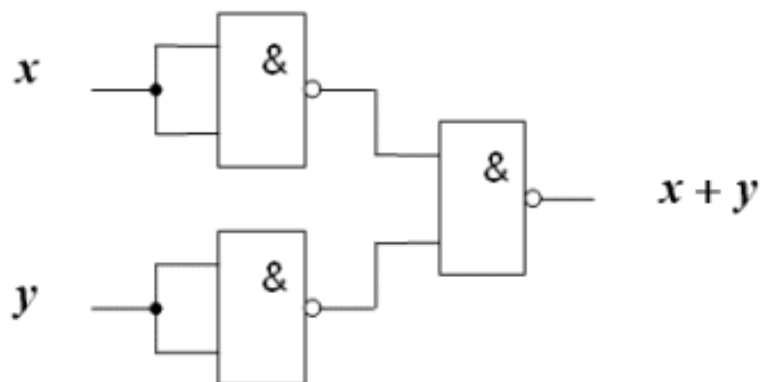
Negace:  $\bar{x} = \overline{x \cdot x}$



Logický součin:  $x \cdot y = \overline{\overline{x \cdot y}} = \overline{\overline{x} \cdot \overline{y}}$



Logický součet:  $x + y = \overline{\overline{x + y}} = \overline{\overline{x} \cdot \overline{y}}$





evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

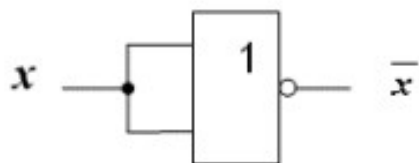


OP Vzdělávání  
pro konkurenceschopnost

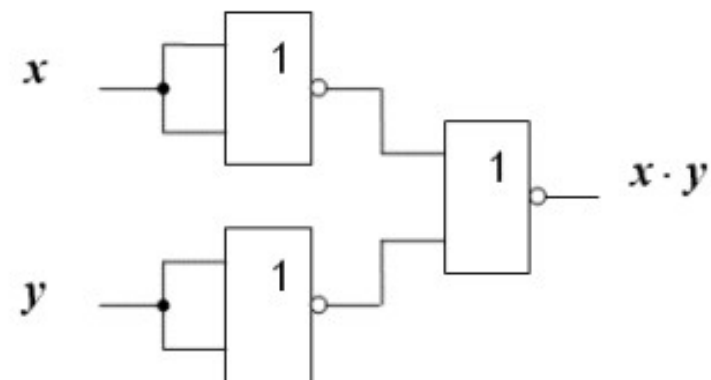
INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Realizace operátorů *NOT*, *AND* a *OR* pomocí *NOR*

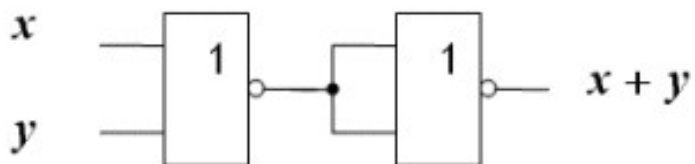
Negace:  $\bar{x} = \overline{x + x}$



Logický součin:  $x \cdot y = \overline{\overline{x \cdot y}} = \overline{\overline{x + y}} = \overline{\overline{(x + x) + (y + y)}}$



Logický součet:  $x + y = \overline{\overline{x + y}} = \overline{\overline{(x + y) + (x + y)}}$





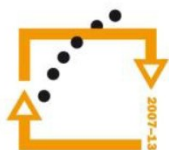
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



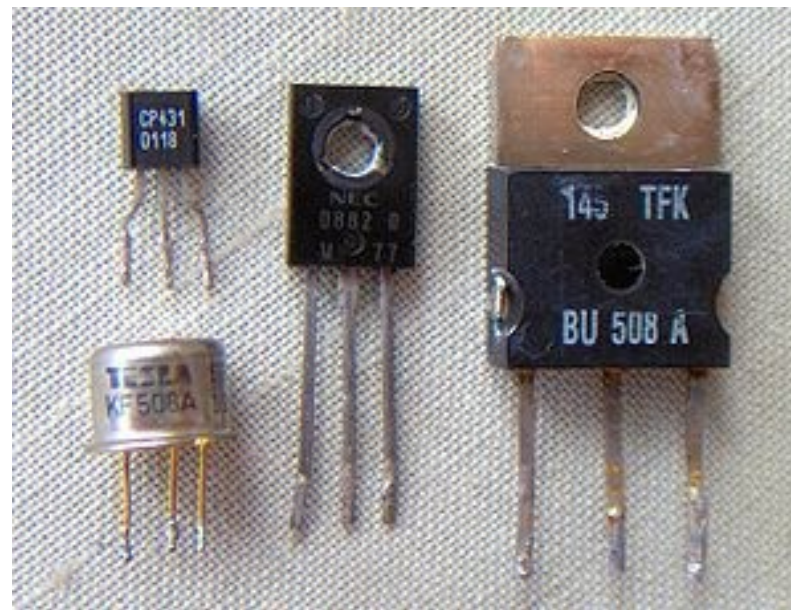
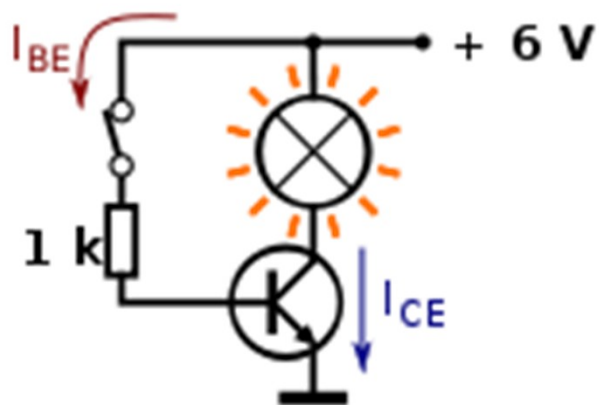
MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



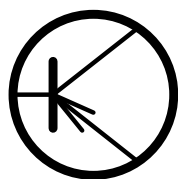
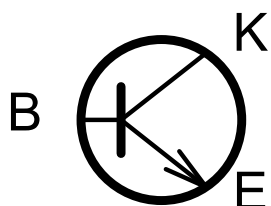
OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Tranzistory jako spínače

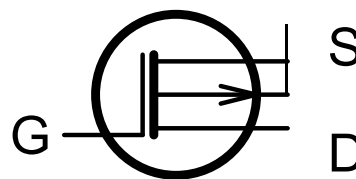
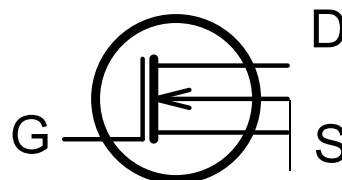


NPN

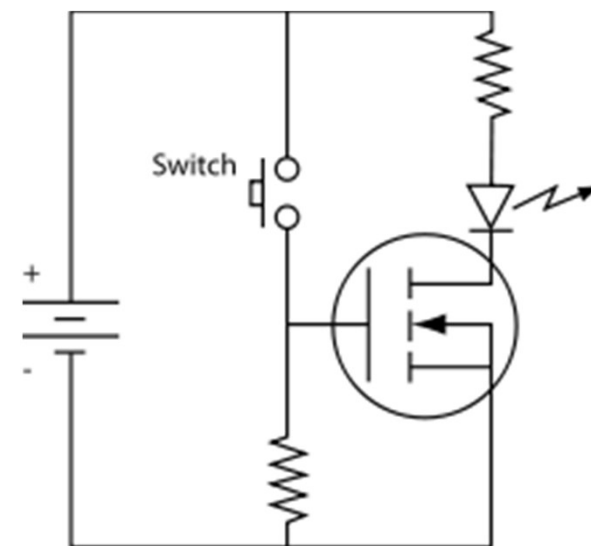


PNP

NMOS



PMOS





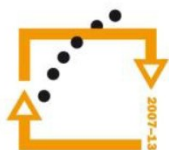
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



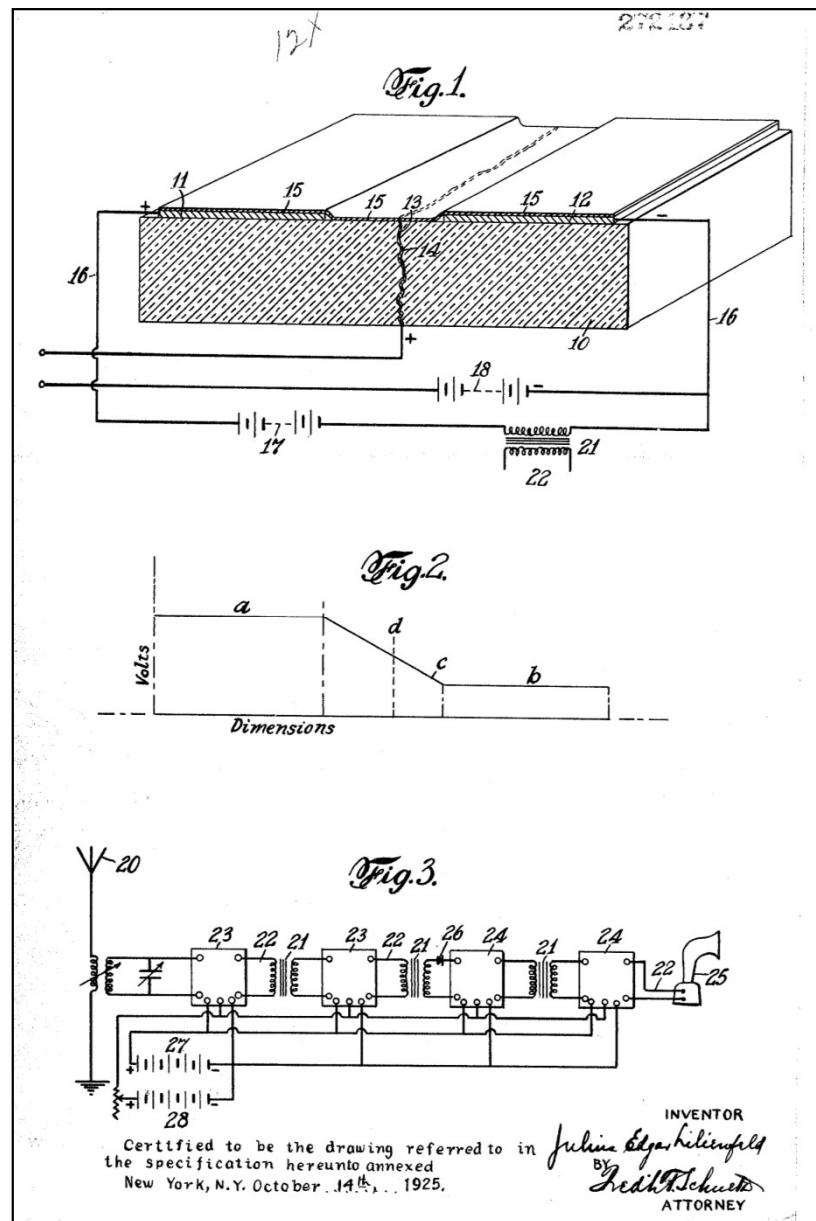
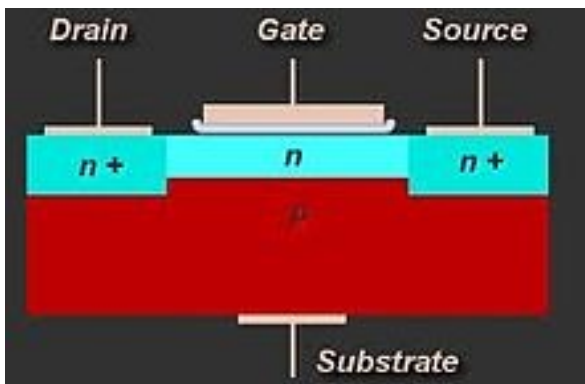
MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Julius Edgar Lilienfeld





evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

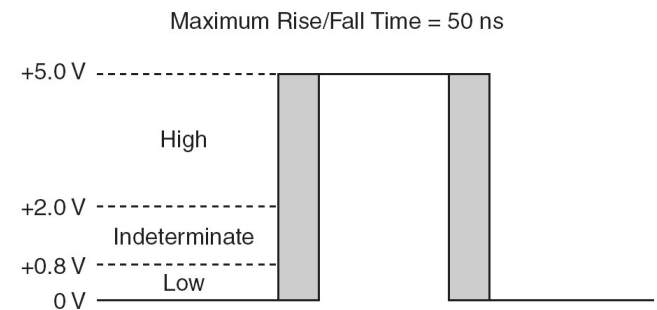
# Realizace logických členů

## Technologie TTL

Používá bipolární tranzistory

řada obvodů 74xx

Texas Instruments v 70. letech 20. století



Napájecí napětí	$U_{cc} = 5V \pm 5\%$			
Vstupní napěťové úrovně a proudy	$U_{vst L} = 0,4 V$ a méně	$U_{vst H} = 2,0 V$ až 5 V	$I_{vst L} = 1,6 mA$	$I_{vst H} = 2 \mu A$
Výstupní napěťové úrovně a proudy	$U_{výst L} = 0,8 V$	$U_{výst H} = 2,4 V$	$I_{výst L} = 16 mA$	$I_{výst H} = 20 \mu A$
(mezi těmito napětími 0,4 a 2 V je stav neurčitosti, nelze předpovědět, zde se na výstupech hradel objeví jednička nebo nula)				

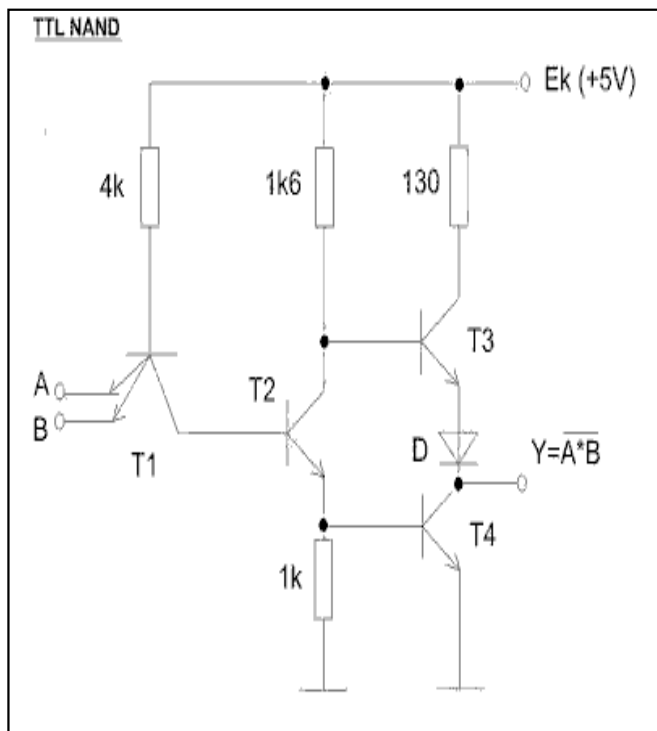
**Výstupní rozvětvení  
(zisk hradla)**

- 74L** "Low power" - snížený příkon (Zvýšením hodnot některých rezistorů bylo dosaženo snížení spotřeby, ale i rychlosti. Nahrazena technologií LS.)
- H** "High speed" - vysoká rychlost (přestaly se používat po zavedení řady S, používané v počítačích v 70. letech 20. století)
- S** "Schottky" (logika využívající schottkyho diody, nepoužívá se)
- LS** "Low Power Schottky" (nízkopříkonová logika s schottkyho diodami)
- AS** "Advanced Schottky" (zdokonalená logika s schottkyho diodami)
- ALS** "Advanced Low Power Schottky" (zdokonalená nízkopříkonová logika s schottkyho diodami)
- F** "Fast" (rychlejší než základní Schottky, podobné řadě AS)



# Realizace logických členů

## Technologie TTL



Je-li kterýkoliv ze vstupů na úrovni L, protéká proud odporem 4K, bází tranzistoru T1 do vstupu. Tranzistor T1 je saturován, na jeho kolektoru je téměř stejné napětí jako na uvažovaném emitoru, tedy též úroveň L. Ta nestačí k otevření T2. Tranzistor T4 je tedy též zavřen, zatímco na bázi T3 je plné napětí zdroje +5V. Tento tranzistor je zapojen jako emitorový sledovač a tedy na výstup je přes diodu přivedeno napětí úrovně H.

Jsou-li naopak všechny vstupy na úrovni H, zavře se přechod B-E tranzistoru T1 a odporem 4K protéká přes otevřený přechod K-B proud do báze T2. Ten se otevře, napětí na jeho kolektoru klesne a T3 se zavírá. Současně se průtokem emitorového proudu T2 zvyšuje napětí na odporu 1K a otevírá se T4. Na výstupu je úroveň L. Vstupní víceemitorový tranzistor T1 může mít i jiný počet emitorů (běžně 1-8).

**Doba šíření signálu** u TTL členů je řádově v nanosekundách, **výstupní rozvětvení je běžně menší**. **Výstupní odpor** je malý při výstupní úrovni H i L. Existují i členy TTL se sníženým příkonem (všechny odpory mají vyšší hodnoty) na úkor prodloužení doby šíření signálu, nebo naopak členy se zkrácenou dobou šíření signálu na úkor zvýšeného příkonu (všechny odpory mají nižší hodnotu).



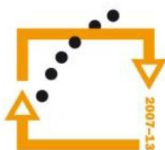
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

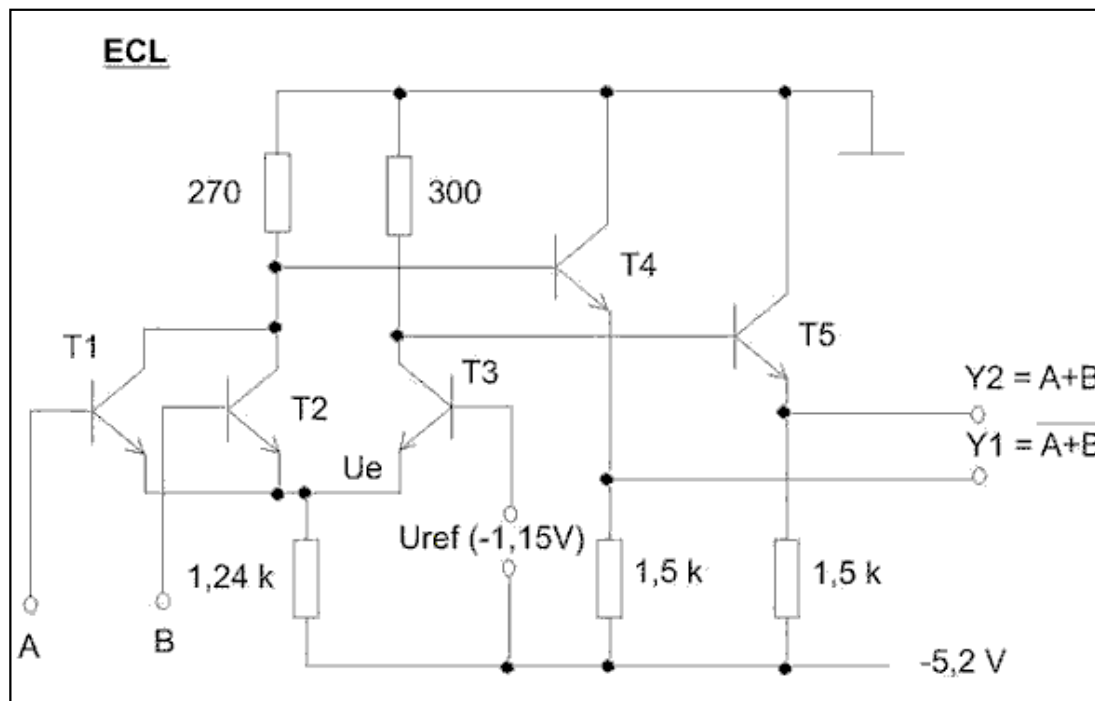


OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Realizace logických členů

## Technologie ECL

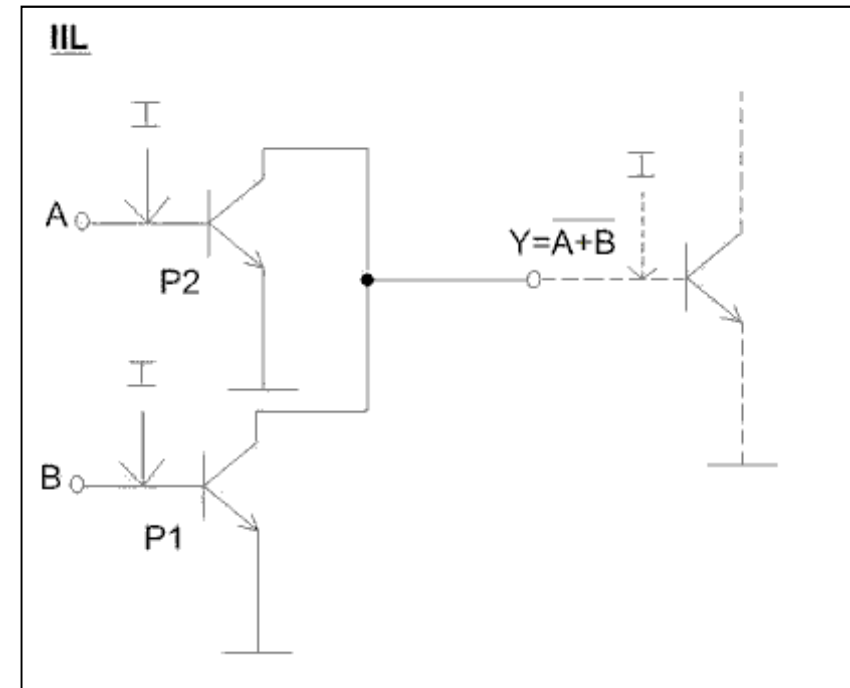


Výstupy jsou odděleny emitorovými sledovači T4, T5, které posunují výstupní úroveň tak, že **výstupní úroveň H je -0,75 V. a úroveň L je -1,55 V.** Emitorové sledovače zajišťují nízký výstupní odpor členu, takže **výstupní rozvětvení je velké.** Přitom nepracují nikdy v saturaci, neboť při napájení z jednoho zdroje nemůže být  $U_{be} > U_{ke}$ . Napěťový skok na vstupech i výstupech je malý (0,8 V), takže vliv kapacit je omezen, Výsledkem jsou velmi krátké doby šíření signálu (až pod 1 ns).

# Realizace logických členů

## Technologie IIL (I<sup>2</sup>L, I<sup>2</sup>L)

Princip těchto členů spočívá ve využití proudových zdrojů místo kolektorových odporů. Jeli alespoň jeden ze vstup na úrovni H, je příslušný tranzistor otevřen a na spojených kolektorech je jen malý saturační napětí. Kolektorem protéká proud  $I$  z proudového zdroje, který je však zařazen až v následujícím stupni (vyznačeno čárkovaně).

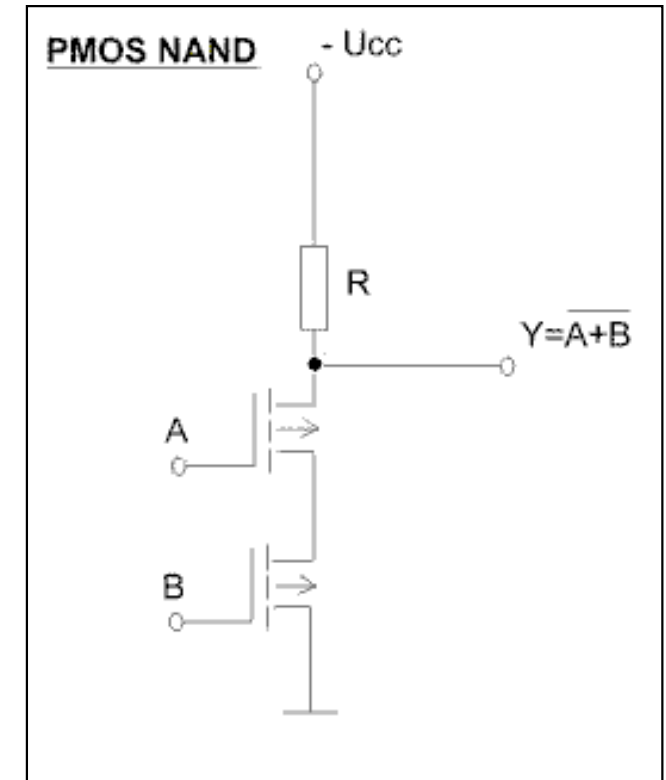


Členy IIL jsou výrobně jednoduché a zabírají velmi malou plochu. Tyto výhody zvláště vynikají u integrovaných obvodů LSI. Doba šíření signálu se může v širokých mezích přizpůsobit požadavkům konstruktéra integrovaného obvodu a lze dosáhnout lepších výsledků než u členů TTL. Další výhodou je nepatrný příkon na jeden člen. Napájecí napětí je kolem 1V.

# Realizace logických členů

## Technologie PMOS

Tranzistory T1 jsou vždy s indukovaným kanálem. Prahové napětí pak určuje rozhodovací úroveň členu (typicky -2 až -6 V). Vzhledem k většímu odporu tranzistoru T1 v sepnutém stavu musí být zatěžovací odpor R poměrně velký (desítky kiloohmů), což má za následek malý příkon členu. Odpor tak vysokých hodnot se však v integrované technologii obtížně realizují a zabírají neúměrně velkou plochu. Proto se zatěžovací odpor nahraňuje tranzistorem T2, který pracuje v lineární oblasti (jako odpor).



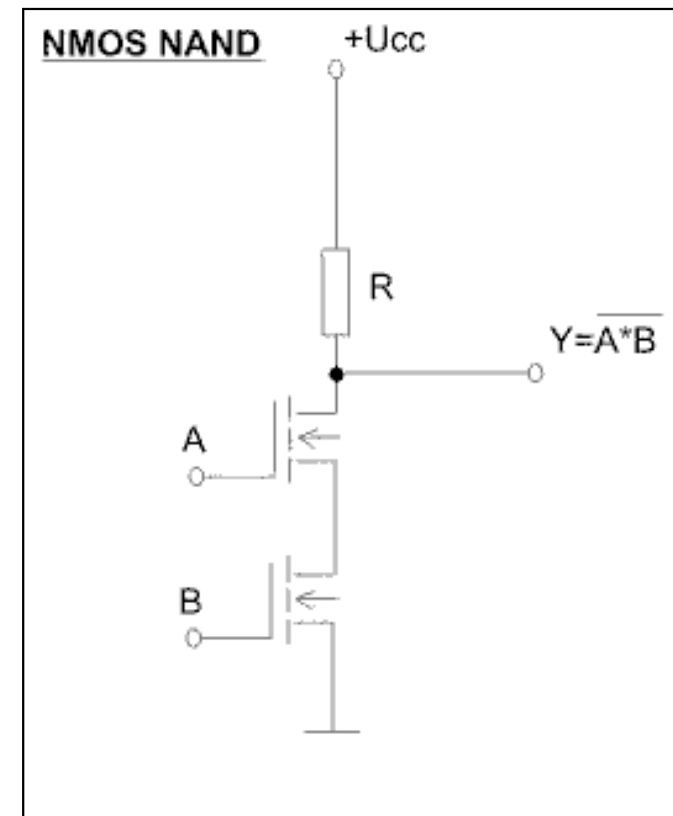
Vzhledem k napájení ze záporného napětí není možné členy PMOS připojit na členy TTL (nejsou sloučitelné s TTL členy).

# Realizace logických členů

## Technologie NMOS

Tranzistor NMOS má nižší prahové napětí, než tranzistor PMOS. Členy NMOS mohou být napájeny jediným nízkým kladným napětím (+5 V) a tím zajistit jejich slučitelnost s členy TTL.

Současně je tím umožněno zmenšení rozměru tranzistoru a dosažení vyššího stupně integrace. V důsledku vyšší pohyblivosti elektronů v kanálu typu N (asi 2,4 násobné proti pohyblivosti děr v kanálu typu P) a zmenšení rozměrů jsou členy NMOS rychlejší - doba šíření signálu je menší než 100 ns. Základní zapojení členu NMOS je obdobné zapojení členů PMOS (změní se velikost a polarita napájecího napětí), nejčastěji se však využívá tranzistoru T2 s vodivým kanálem.



V důsledku vyšší pohyblivosti elektronů v kanálu typu N (asi 2,4 násobné proti pohyblivosti děr v kanálu typu P) a zmenšení rozměrů jsou členy NMOS rychlejší - doba šíření signálu je menší než 100 ns



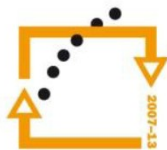
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



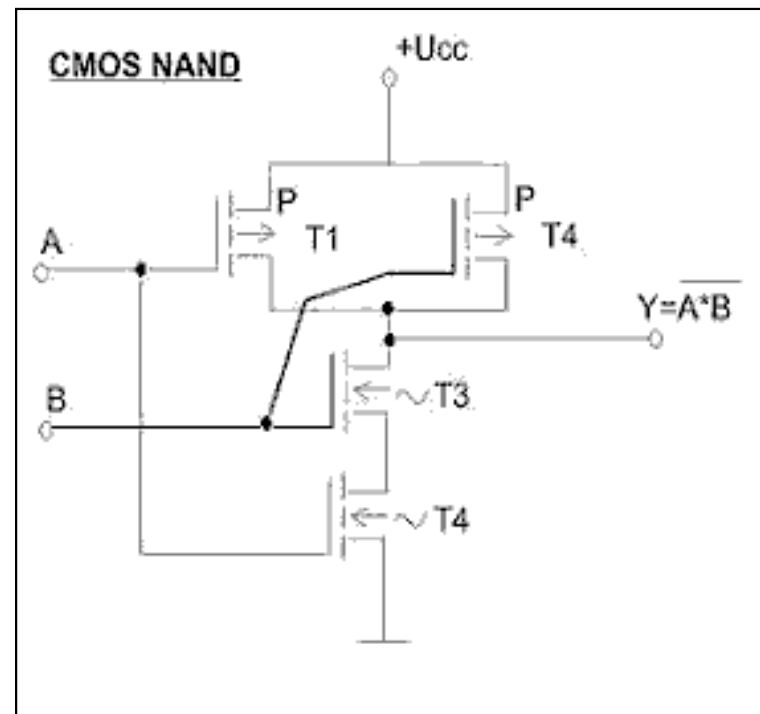
OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Realizace logických členů

## Technologie CMOS

Nemůže protékat proud přímo z napájecího zdroje na zem (na rozdíl od členů NMOS při úrovni L na výstupu a obdobně u členů PMOS). V ustáleném stavu odebírá člen CMOS jen nepatrný proud několika nA, daný velkým odporem kanálu zavřeného tranzistoru. Vzhledem k tomu, že všechny tranzistory vždy pracují jen ve stavech úplného otevření nebo úplného zavření, je funkce členů jen málo závislá na napájecím napětí.



Nevýhodou členů CMOS je obtížnost výroby, vyvolaná jednak tím, že na jedné podložce se musí současně vytvářet tranzistory s kanálem typu P a N, jednak složitým propojením. Ostatní vlastnosti jsou však tak výhodné, že se pracuje na vývoji nových obvodů CMOS s vysokým stupněm integrace. Nepatrná spotřeba těchto obvodů (i ve srovnání s obvody NMOS) umožňuje napájení i složitých systémů z nenáročného zdroje



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Logické obvody

Logické obvody dělíme na:

- **Kombinační**, u kterých jsou hodnoty výstupních proměnných pouze funkcí hodnot vstupních proměnných. Kombinační proto, že výstupní hodnoty jsou nějakou kombinací vstupních hodnot.
- **Sekvenční**, u kterých výstupní hodnoty závisí nejen na kombinaci vstupních hodnot, ale též na určité posloupnosti či sekvenci předchozích vstupních hodnot.

Sekvenční logické obvody lze dále dělit na:

- **asynchronní** – logický systém je systém dynamicky pracující v čase. Hodnoty výstupních proměnných se mění v určitých časových okamžicích. Pokud se změny stavu výstupů dějí v okamžiku změn vstupních proměnných, jde o asynchronní logický systém.
- **synchronní** – u synchronních systémů jsou okamžiky změn výstupů určeny periodou tzv. synchronizační (hodinové) proměnné (hodiny, CLK). Signál CLK je generován speciálním oscilátorem v okolí systému. Zpravidla se nepovažuje za vstupní proměnnou.



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Kombinační obvody

aritmetické obvody

sčítačka

- aritmetické sčítání

generátor parity

- kontrola

komparátor

- porovnávací obvod

selektor sig.

- výběr signálů

slučovač - vytvoření  $2n$ -bitového signálu z 2  $n$ -bitových signálů

obvody, zabezpečující převod mezi kódy

Kódem se rozumí předpis, který určité skupině signálů přiřazuje určitý význam nebo hodnotu. Nejčastěji se jedná o následující obvody:

kodér - dekadická soustava (výběrový kód 1 z  $n$ ) → binární kód (BCD)

dekodér - binární kód (BCD) → dekadická soustava (výběrový kód 1 z  $n$ )

převodník - kód → kód (všeobecně)

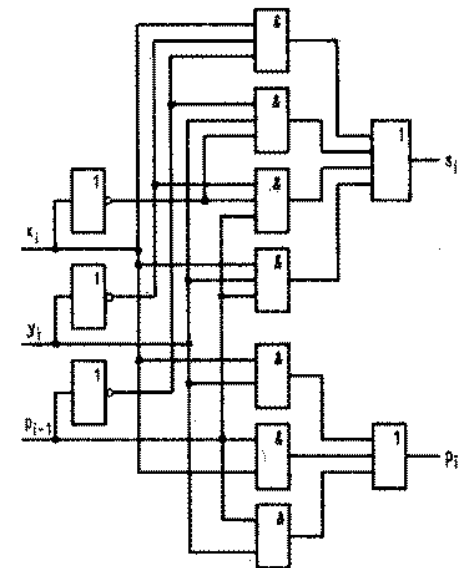
multiplexor, demultiplexor

přepínače číslicových signálů

multiplexor -  $n$  vstupů → 1 výstup

demultiplexor - 1 vstup →  $n$  výstupů

oddělovač a budič (sběrnice)







evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Sekvenční obvody

elementární sekvenční obvody - klopné obvody typu RS, T, D, JK

registry - obvody sloužící k uchování n-bitové informace

paralelní registr

sériový registr (posuvný registr)

čítače

asynchronní čítač s plným nebo zkráceným cyklem počítání

synchronní čítač s plným nebo zkráceným cyklem počítání

speciální čítače - Johnsonův, kruhový, vratný

paměti

SRAM - statická paměť RAM

DRAM - dynamická paměť RAM



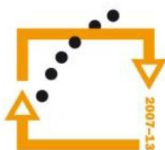
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Sekvenční obvody – klopné obvody

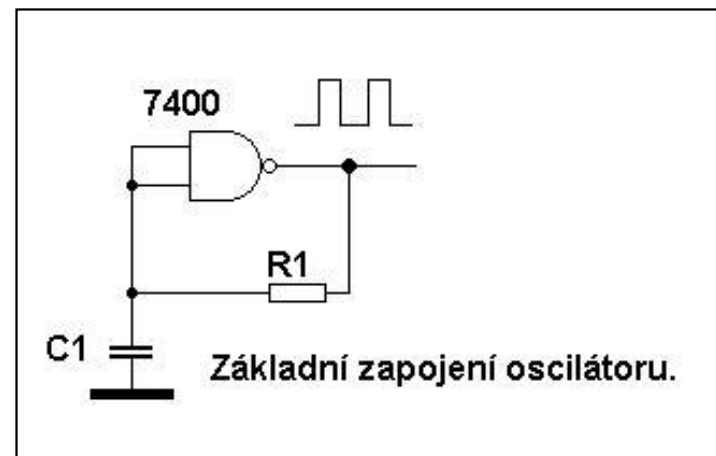
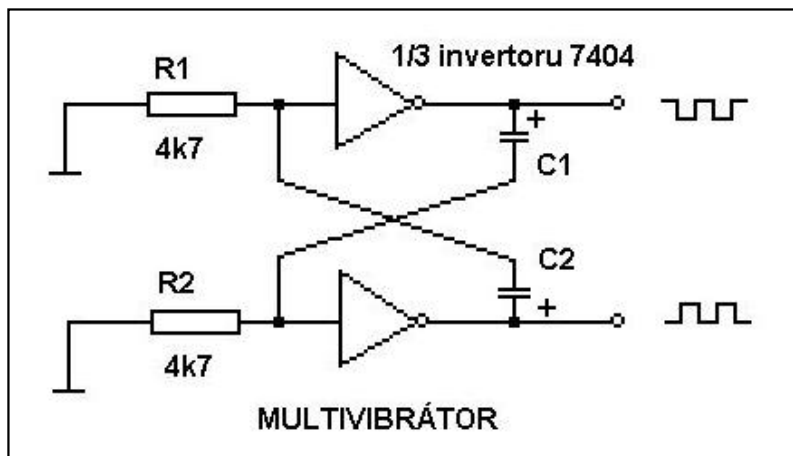
Klopné obvody:

- Monostabilní
- Astabilní
- Bistabilní

Jeden stabilní stav, ze kterého se překlopí příchodem impulsu do kvazistabilního stavu, po určité době se vrátí zpátky.

Multivibrátor – periodicky se přepíná, Slouží jako zdroj hodinových impulsů (CLK)

- Asynchronní (R-S)
- Synchronní (J-K, T, D)





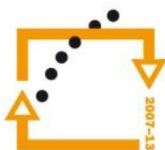
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

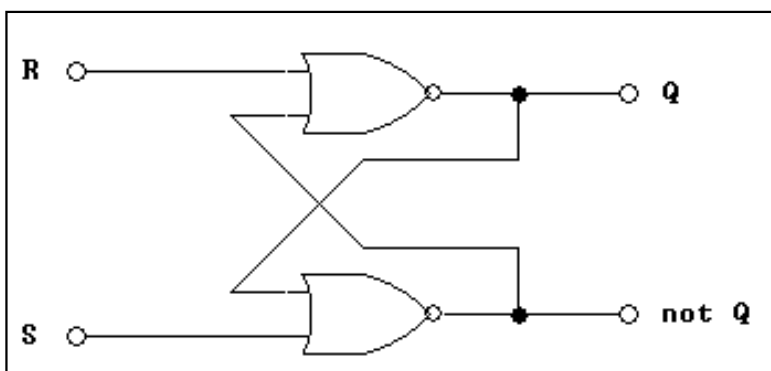


OP Vzdělávání  
pro konkurenceschopnost

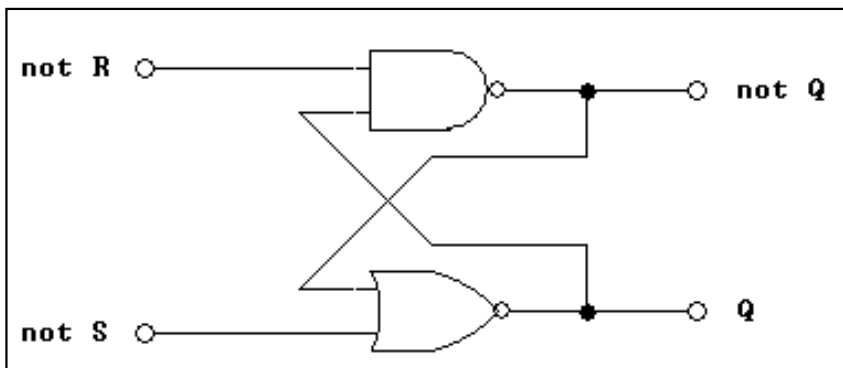
INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# Bistabilní klopné obvody

**R-S** Přivedením logické 1 na vstup S se vnitřní stav klopného obvodu přepne do logické 1. Obdobně se aktivací vstupu R obvod přepne do logické 0. Není-li aktivní ani jeden vstup, vnitřní stav klopného obvodu zůstává beze změny.



NOR



NAND

R	S	Q
0	0	Zachovej stav
1	0	1
0	1	0
1	1	-

asynchronní

kombinace logická 1 na vstupech R i S vede k tzv. zakázanému stavu, pro který není žádný vnitřní stav definován. V praxi se obvod přepne do logické 0 nebo 1 podle toho, kterým hradlem projde signál dříve (race-condition). Nedefinovaný vnitřní stav je ve většině aplikací nežádoucí



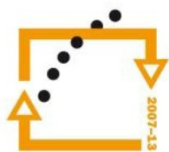
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



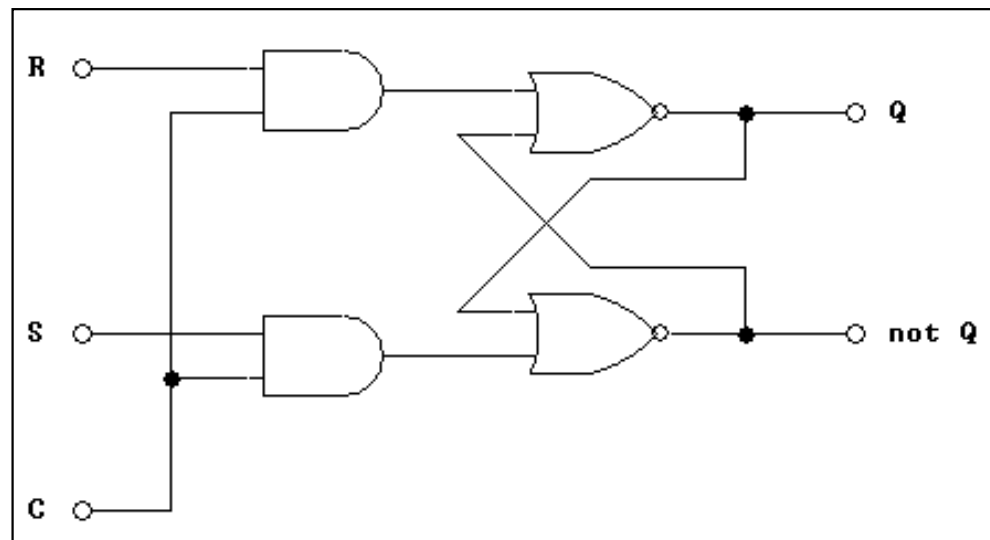
MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Bistabilní klopné obvody – synchronní RS



Synchronní RS – stejná činnost jako asynchronní,  
přepne se ale jen, pokud je log 1 na vstupu C



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

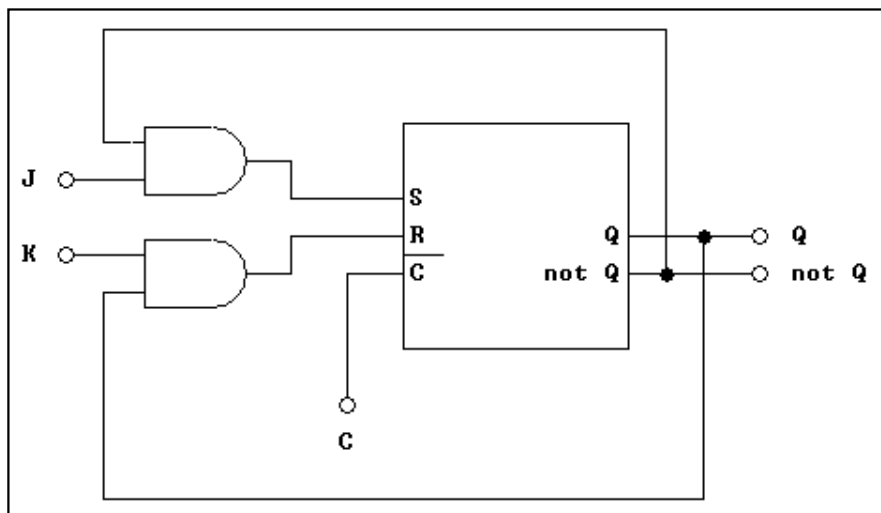


OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Bistabilní klopné obvody - JK

Synchronní klopný obvod typu JK je pojmenovaný po vědci jménem Jack Kilby, který v roce 1958 představil první integrovaný obvod. Je založený na synchronním klopném obvodu typu RS a má s ním shodné i ovládání, avšak nemá na rozdíl od něj žádný zakázaný stav. Pokud je na oba vstupy J, K přivedena logická 1, hodnota uložená v klopném obvodu se invertuje (z logické 1 na logickou 0 a naopak).



C	J	K	Q
0	cokoli	cokoli	Zachovej stav
1	0	0	Zachovej stav
1	0	1	0
1	1	0	1
1	1	1	invertujj stav



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



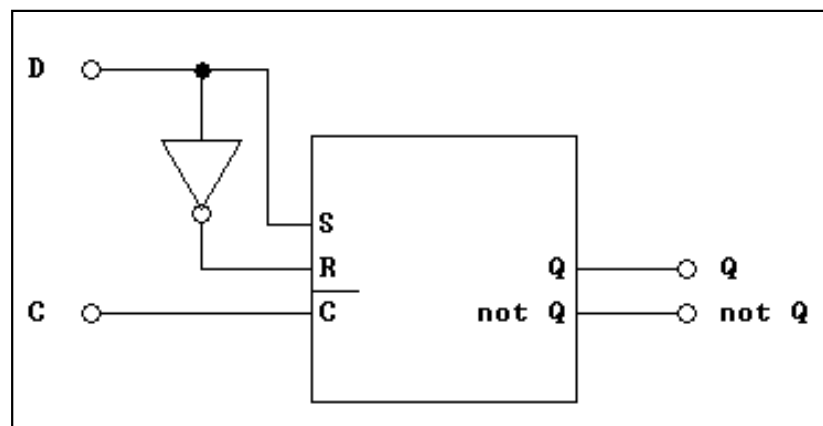
OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Bistabilní klopné obvody - D

Je-li na vstupu  $C$  logická  $1$ , vnitřní stav se přepne do logické hodnoty, která se nachází na vstupu  $D$ . Je-li na vstupu  $C$  logická  $0$ , obvod na vstup  $D$  nereaguje.

Vstup  $D$  je přiveden na vstup  $S$  vnořeného klopného obvodu typu RS a jeho negace na vstup  $R$ . Tím je také vyloučen **zakázaný stav**, protože logické hodnoty na vstupech  $R$  i  $S$  jsou vždy opačné.



C	D	Q
0	cokoli	Zachovej stav
1	0	0
1	1	1



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY

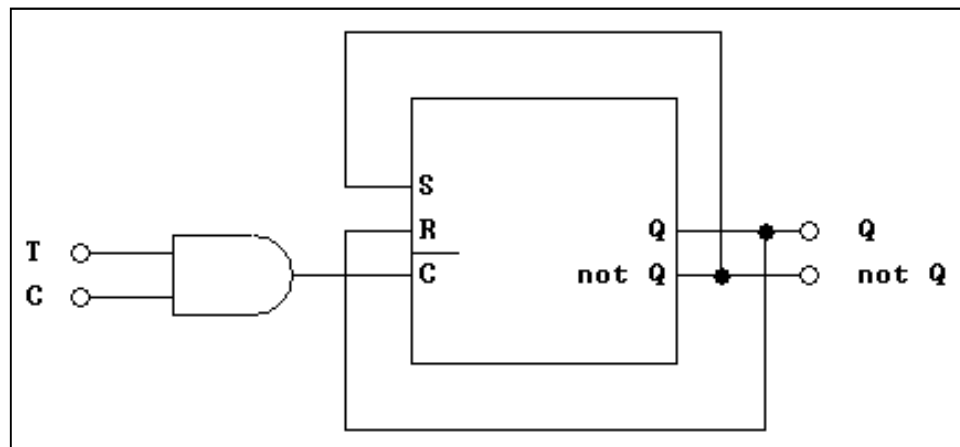


OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

## Bistabilní klopné obvody - T

Synchronní klopný obvod typu T je založený na synchronním klopném obvodu typu RS a má rozdíl od něj pouze jeden vstup T (toggle). Přivedeme-li na něj logickou 1, hodnota uložená v klopném obvodu se invertuje (z logické 1 na logickou 0 a naopak).



C	T	Q
0	cokoli	Zachovej stav
1	0	Zachovej stav
1	1	invertuj stav



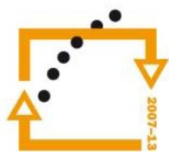
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE  
DO ROZVOJE  
VZDĚLÁVÁNÍ

# PLC – programovatelný logický automat (programmable logic controller)

Vstupy

Výstupy

Programovací vstup (RS232)

Kontrolní prvky (spínače, klávesnice)

Aktuátory

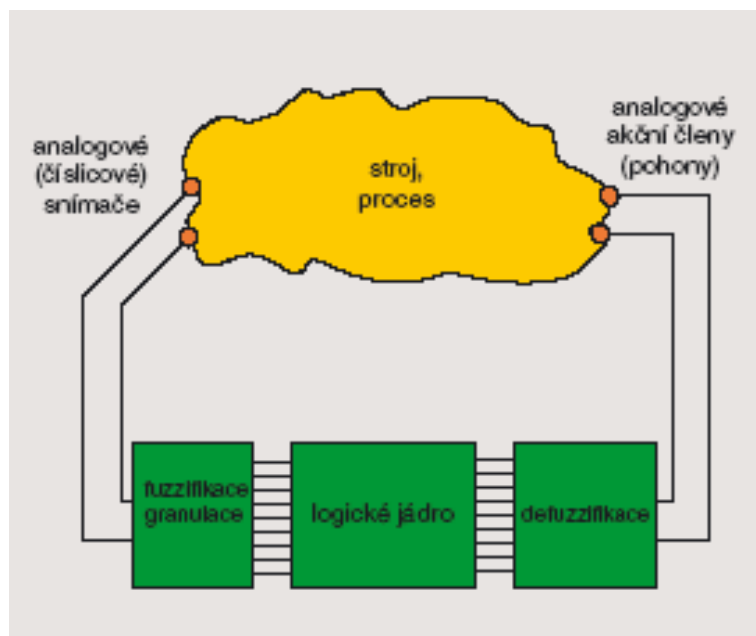
Napájení





## Fuzzy Logic

Fuzzy logic je moderní technologie, která umožňuje přístrojům pomocí senzorů zjistit, jak probíhá vykonávaná činnost a podle výsledků upravit běh zařízení.



Vyhodnocování analogového signálu

Např. požární nebo plynová čidla, systém se rozhoduje, jestli vyvolá poplach a v jakém stupni

Operandy systému ve fuzzy logice jsou reálnými čísly z uzavřeného intervalu  $[0; 1]$ , jejich pravdivosti tedy nabývají (teoreticky) nekonečně mnoha hodnot. Při realizaci programem jsou interpretovány jako číselné proměnné v dohodnutém formátu, obvykle jako čísla v pevné řadové čárce (v délce 8 či 16 b, tedy s omezeným počtem hodnot, zde 256 nebo 65 536)